

me

05-24-01

04CO

05/23/01

#3/pty
8/23/12
sub

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Byung Hoon Ahn, Jae Hun Ku, Young Suk Chung, Suk Gu Ko, Sung Sik Jang, Young Nam Choi, Won Chul Do

Assignee: Amkor Technology, Inc.

Title: Lead Frame And Semiconductor Package Made Using The Leadframe

Serial No.: 09/845,601 Filing Date: April 26, 2001

Examiner: Not Yet Assigned Group Art Unit: Not Yet Assigned

Docket No.: AB-1134 US

San Jose, California
May 22, 2001

COMMISSIONER FOR PATENTS
Washington, D. C. 20231

SUBMISSION OF PRIORITY DOCUMENTS

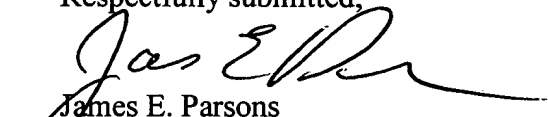
Dear Sir:

Enclosed herewith are certified copies of Korean Priority documents 2000-22590, 2000-41644, and 2000-63021 to which priority has been claimed in the present case.

EXPRESS MAIL LABEL NO:

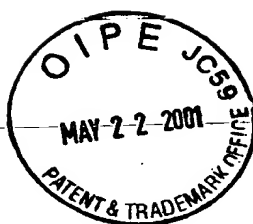
EL 701 020 575 US

Respectfully submitted,


James E. Parsons
Attorney for Applicants
Reg. No. 34,691

LAW OFFICES OF
SKJERVEN MORRILL
MACPHERSON LLP

25 METRO DRIVE
SUITE 700
SAN JOSE, CA 95110
(408) 453-9200
FAX (408) 453-7979



대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 22590 호
Application Number

출원년월일 : 2000년 04월 27일
Date of Application

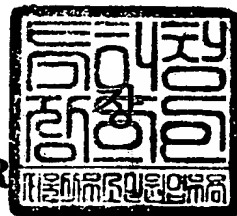
출원인 : 애플 테크놀로지 코리아 주식회사
Applicant(s)



2001 년 04 월 17 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2000.04.27		
【국제특허분류】	H01L		
【발명의 명칭】	리드프레임 및 이를 이용한 반도체패키지		
【발명의 영문명칭】	Lead frame and semiconductor package using it		
【출원인】			
【명칭】	앰코 테크놀로지 코리아 주식회사		
【출원인코드】	1-1999-032391-1		
【대리인】			
【성명】	서만규		
【대리인코드】	9-1998-000260-4		
【포괄위임등록번호】	1999-043688-8		
【발명자】			
【성명의 국문표기】	안병훈		
【성명의 영문표기】	AHN,Byung Hoon		
【주민등록번호】	570124-1042210		
【우편번호】	120-080		
【주소】	서울특별시 서대문구 현저동 200 독립문극동@ 113-301		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 규 (인)		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

이 발명은 리드프레임 및 이를 이용한 반도체패키지에 관한 것으로, 리드프레임의 칩탑재판에 일정깊이의 요홈 라인을 형성하여 차후 패키지 몸체와의 접착력을 향상시키고, 또한 그 요홈 라인의 바닥면에 그라운드 본딩을 수행하여 와이어의 끊김 문제도 해결할 수 있도록, 반도체칩이 탑재되는 칩탑재판과, 상기 칩탑재판의 모서리에서 외측으로 연장된 타이바와, 상기 칩탑재판의 외주연에 방사상으로 형성된 다수의 리드와, 상기 타이바 및 리드가 연결된 프레임 몸체를 포함하여 이루어진 리드프레임 및 반도체패키지에 있어서, 상기 칩탑재판은 반도체칩이 접착되는 영역의 외주면에 일정깊이로 요홈 라인이 형성되고, 상기 요홈 라인의 바닥면에 도전성와이어가 본딩된 것을 특징으로 함.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

리드프레임 및 이를 이용한 반도체패키지{Lead frame and semiconductor package using it}

【도면의 간단한 설명】

도1a 및 도1b는 종래의 리드프레임 및 이를 이용한 반도체패키지의 평면도 및 단면도이다.

도2a 및 도2b는 본 발명에 의한 리드프레임 및 이를 이용한 반도체패키지의 평면도 및 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100; 본 발명에 의한 리드프레임

200; 본 발명에 의한 반도체패키지

2; 칩탑재판 4; 타이바

6; 리드 6b; 돌출부

8; 프레임 몸체 2a, 4a, 6a; 부분 에칭부

10; 요홈 라인 12; 반도체칩

14; 도전성와이어 16; 패키지 몸체

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 리드프레임 및 이를 이용한 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 리드프레임의 칩탑재판에 일정깊이의 요홈 라인을 형성하여 차후 봉지재와의 접착력을 향상시키고, 또한 그 요홈 라인의 바닥면에 그라운드 본딩을 수행하여 와이어의 끊김 문제도 해결할 수 있는 리드프레임 및 이를 이용한 반도체패키지에 관한 것이다.

<12> 통상 반도체패키지용 리드프레임은 구리(Cu), 철(Fe), 구리합금(Cu Alloy) 등의 연속된 금속 스트립(Strip)을 기계적 스탬핑(Stamping)이나 화학적 에칭(Etching)에 의해 제조한 것으로, 그 역할은 반도체칩과 외부 회로를 연결시켜 주는 전선(Lead) 역할과 반도체패키지를 마더보드(Mother Board)에 고정시켜 주는 버팀대(Frame)의 역할을 동시에 수행하는 것을 말한다.

<13> 최근에는 반도체패키지의 크기가 점차 소형화(예를 들면 1×1~ 10×10mm)됨에 따라, 상기 반도체패키지의 구성 요소인 리드프레임도 점차 소형화되고 있으며, 또한 그 두께도 얇아지고 있다.

<14> 이러한 종래 리드프레임(100')의 평면을 도1a에 도시하였고, 또한 그 리드프레임(100')을 이용한 반도체패키지(200')의 단면을 도1b에 도시하였다.

<15> 도시된 바와 같이 중앙에 반도체칩이 탑재되는 칩탑재판(2)이 구비되어 있고, 상기 칩탑재판(2)의 네모서리에는 타이바(4)가 형성되어 외측으로 연장되어 있다. 또한, 상기

칩탑재판(2)과 일정거리 이격된 외주연에는 대략 방사상으로 다수의 리드(6)가 형성되어 있으며, 상기 리드(6)는 리드프레임(100') 전체를 지지하는 프레임 몸체(8)에 연결되어 있다. 여기서, 상기 프레임 몸체(8)는 반도체패키지(200')의 제조 공정중 제거되는 부분이다.

<16> 또한, 상기 타이바(4)도 상기 리드(6)중 소정 리드(6)에 연결되어 상기 칩탑재판(2)을 지지하고 있다. 상기 타이바(4)는 프레임 몸체(8)에 직접 연결될 수도 있다.

<17> 한편, 상기 리드프레임(100')중에서 칩탑재판(2)의 둘레 및 타이바(4), 상기 칩탑재판(2)을 향하는 리드(6) 단부는 통상 화학적 에칭에 의해 일정 깊이의 부분 에칭부(2a, 4a, 6a)가 형성되어 있으며, 이는 차후 봉지재로 형성된 패키지 몸체(16)에서 상기 리드프레임(100') 전체가 수직 또는 수평 방향으로 이탈되지 않도록 하는 역할을 한다.

<18> 도면중 미설명 부호 6b는 리드(6) 측면으로 돌출된 돌출부이며, 이 돌출부(6b)에도 부분 에칭부가 형성될 수 있다. 상기 돌출부(6b)는 차후 리드프레임(100')이 봉지재로 형성된 패키지 몸체(16) 내측에서 쉽게 이탈되지 않도록 하는 수단이며, 이는 형성하지 않을 수도 있다.

<19> 한편, 상기 리드프레임(100')을 이용한 반도체패키지(200')는 중앙에 타이바(4)와 연결된 칩탑재판(2)이 구비되어 있고, 상기 칩탑재판(2)과 일정 거리 이격된 동일 평면에는 다수의 리드(6)가 형성되어 있다. 상기 칩탑재판(2)의 상면에는 접촉제로 반도체칩(12)이 접촉되어 있으며, 상기 반도체칩(12)은 시그널을 리드(6)쪽으로 보낼 수 있도록 그 반도체칩(12)과 리드(6)는 도전성와이어(14)에 의해 상호 접속되어 있다. 또한 상기 반도체칩(12)의 그라운드(Ground) 처리를 위해 상기 반도체칩(12)과 칩탑재판(2)도 도전성와이어(14)에 의해 상호 접속되어 있다.

또한, 상기 반도체칩(12), 도전성와이어(14), 칩탑재판(2) 및 리드(6) 등은 봉지재로 봉지되어 소정의 패키지 몸체(16)를 형성하고 있다. 여기서, 상기 칩탑재판(2) 및 리드(6) 하면은 패키지 몸체(16) 하부측으로 노출되어 있으며, 상기 리드(6)의 하면이 마더보드(도시되지 않음)의 소정 패턴에 접속된다.

<20> 또한, 상기 리드(6) 및 칩탑재판(2) 하면에는 일정 깊이의 부분 에칭부(2a,6a)가 형성되어 있으며, 이는 패키지 몸체(16)와 인터락킹됨으로써 패키지 몸체(16)에서 상기 리드(6) 및 칩탑재판(2)이 쉽게 이탈되지 않도록 한다.

<21> 그러나 이러한 종래의 리드프레임 및 반도체패키지는 칩탑재판과 패키지 몸체와의 접촉 면적인 작고 또한 열팽창시 발생하는 응력에 의해 칩탑재판 및 패키지 몸체의 계면 사이에 박리현상이 빈번히 발생하는 문제가 있다.

<22> 더구나, 상기 칩탑재판에 그라운드용의 도전성와이어가 접속되어 있는 경우, 상기 박리 현상에 의해 그 도전성와이어가 칩탑재판에서 떨어져 나가는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 리드프레임의 칩탑재판에 일정깊이의 요홈 라인을 형성하여 차후 봉지재와의 접착력을 향상시키고, 또한 그 요홈 라인의 바닥면에 그라운드 본딩을 수행하여 와이어의 끊김 문제도 해결할 수 있는 리드프레임 및 이를 이용한 반도체패키지의 제공에 있다.

【발명의 구성 및 작용】

<24> 상기한 목적을 달성하기 위해 본 발명은 칩탑재판과, 상기 칩탑재판의 모서리에서 외측으로 연장된 타이바와, 상기 칩탑재판의 외주연에 방사상으로 형성된 다수의 리드와

, 상기 타이바 및 리드가 연결된 프레임 몸체로 이루어진 리드프레임에 있어서, 상기 칩탑재판은 반도체칩이 접착되는 영역의 외주면에 일정깊이로 요홈 라인이 형성된 것을 특징으로 한다.

<25> 또한, 상기한 목적을 달성하기 위해 본 발명은 칩탑재판과, 상기 칩탑재판에 접착제로 접착된 반도체칩과, 상기 칩탑재판의 외주연에 방사상으로 형성된 다수의 리드와, 상기 반도체칩과 리드 및 반도체칩과 칩탑재판을 전기적으로 접속시키는 도전성와이어와, 상기 반도체칩, 도전성와이어, 칩탑재판 및 리드를 봉지재로 봉지하여 형성된 패키지 몸체로 이루어진 반도체패키지에 있어서, 상기 칩탑재판은 반도체칩이 접착된 영역의 외주면에 일정깊이로 요홈 라인이 형성된 것을 특징으로 한다.

<26> 여기서, 상기 반도체칩은 상기 칩탑재판에 형성된 요홈 라인의 바닥면과 도전성와이어로 접속됨이 바람직하다.

<27> 상기와 같이 하여 본 발명에 의한 리드프레임 및 이를 이용한 반도체패키지에 의하면 리드프레임의 칩탑재판에 일정 깊이의 요홈 라인이 형성됨으로써 봉지재로 형성된 패키지 몸체와의 접착 면적이 커지고 따라서 접착력이 커지게 된다.

<28> 따라서, 열팽창에 의한 응력이 발생하더라도 상기 요홈 라인이 그 응력을 경감시키는 역할을 함으로써, 칩탑재판과 패키지 몸체 사이의 계면 박리 현상을 억제하게 된다.

<29> 더불어, 상기 칩탑재판의 요홈 라인 바닥면에 그라운드용의 도전성와이어가 본딩되어 있음으로써, 열팽창시에 도전성와이어를 상기 패키지 몸체가 감싸줌으로써 그 도전성와이어를 보호할 뿐만 아니라, 이 부분의 응력도 경감시킴으로써 도전성와이어가 떨어지는 현상도 억제된다.

- <30> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <31> 도2a 및 도2b는 본 발명에 의한 리드프레임(100) 및 이를 이용한 반도체패키지(200)의 평면도 및 단면도이다.
- <32> 도시된 바와 같이 중앙에 반도체칩(12)이 탑재되는 칩탑재판(2)이 형성되어 있고, 상기 칩탑재판(2)의 네모서리에서 외측으로는 타이바(4)가 연결되어 있다. 또한 상기 칩탑재판(2)의 외주연에는 방사상으로 다수의 리드(6)가 형성되어 있으며, 상기 타이바(4)는 리드(6)에 그리고, 상기 리드(6)는 프레임 몸체(8)에 연결되어 있다.
- <33> 여기서, 본 발명은 상기 칩탑재판(2)의 반도체칩(12)이 접착되는 영역의 외주면에 일정 깊이로 요홈 라인(10)이 형성된 것이 특징이다.
- <34> 즉, 상기 반도체칩(12)이 접착되는 영역의 외주면에 대략 사각라인 모양으로 요홈 라인(10)이 형성되어 있으며, 이는 리드프레임(100)의 제조 공정중 에칭 공정에서 형성될 수 있다.
- <35> 도면중 미설명 부호 2a, 4a, 6a는 부분 에칭부(2a,4a,6a)이다.
- <36> 한편, 본 발명에 의한 반도체패키지(200)는 중앙에 칩탑재판(2)이 형성되어 있고, 상기 칩탑재판(2)의 상면에는 접착제로 반도체칩(12)이 접착되어 있다. 상기 칩탑재판(2)의 외주연에는 다수의 리드(6)가 형성되어 있고, 상기 반도체칩(12)과 리드(6) 및 반도체칩(12)과 칩탑재판(2)은 도전성와이어(14)로 상호 접속되어 있다.
- <37> 여기서, 상기 칩탑재판(2)은 반도체칩(12)이 접착된 영역의 외주면에 일정 깊이의

요홈 라인(10)이 형성되어 있으며, 상기 반도체칩(12)과 리드(6) 및 상기 반도체칩(12)과 칩탑재판(2)의 요홈 라인(10) 바닥면은 도전성와이어(14)로 상호 접속되어 있다.

<38> 여기서, 상기 리드(6)에 연결된 도전성와이어(14)는 시그널 또는 파워용이고, 상기 칩탑재판(2)의 바닥면에 접속된 도전성와이어(14)는 그라운드용이다.

<39> 계속해서, 상기 반도체칩(12), 칩탑재판(2), 도전성와이어(14), 칩탑재판(2) 및 리드(6)는 봉지재로 봉지되어 패키지 몸체(16)를 이루고 있다.

<40> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

<41> 따라서, 본 발명에 의한 리드프레임 및 이를 이용한 반도체패키지에 의하면 리드프레임의 칩탑재판에 일정 깊이의 요홈 라인이 형성됨으로써 봉지재로 형성된 패키지 몸체와의 접촉 면적이 커지고 따라서 접착력이 커지는 효과가 있다.

<42> 따라서, 열팽창에 의한 응력이 발생하더라도 상기 요홈 라인이 그 응력을 경감시키는 역할을 함으로써, 칩탑재판과 패키지 몸체 사이의 계면 박리 현상을 억제할 수 있는 효과가 있다.

<43> 더불어, 상기 칩탑재판의 요홈 라인 바닥면에 그라운드용의 도전성와이어가 본딩되어 있음으로써, 열팽창시에 도전성와이어를 상기 패키지 몸체가 감싸주어 그 도전성와이어를 보호할 뿐만 아니라, 이 부분의 응력도 경감시킴으로써 도전성와이어가 떨어지는 현상도 억제할 수 있는 효과가 있다.

【특허 청구범위】**【청구항 1】**

칩탑재판과, 상기 칩탑재판의 모서리에서 외측으로 연장된 타이바와, 상기 칩탑재판의 외주연에 방사상으로 형성된 다수의 리드와, 상기 타이바 및 리드가 연결된 프레임 몸체로 이루어진 리드프레임에 있어서,

상기 칩탑재판은 반도체칩이 접착되는 영역의 외주면에 일정깊이로 요홈 라인이 형성된 것을 특징으로 하는 리드프레임.

【청구항 2】

칩탑재판과, 상기 칩탑재판에 접착제로 접착된 반도체칩과, 상기 칩탑재판의 외주연에 방사상으로 형성된 다수의 리드와, 상기 반도체칩과 리드 및 반도체칩과 칩탑재판을 전기적으로 접속시키는 도전성와이어와, 상기 반도체칩, 도전성와이어, 칩탑재판 및 리드를 봉지재로 봉지하여 형성된 패키지 몸체로 이루어진 반도체패키지에 있어서,

상기 칩탑재판은 반도체칩이 접착된 영역의 외주면에 일정깊이로 요홈 라인이 형성된 것을 특징으로 하는 반도체패키지.

【청구항 3】

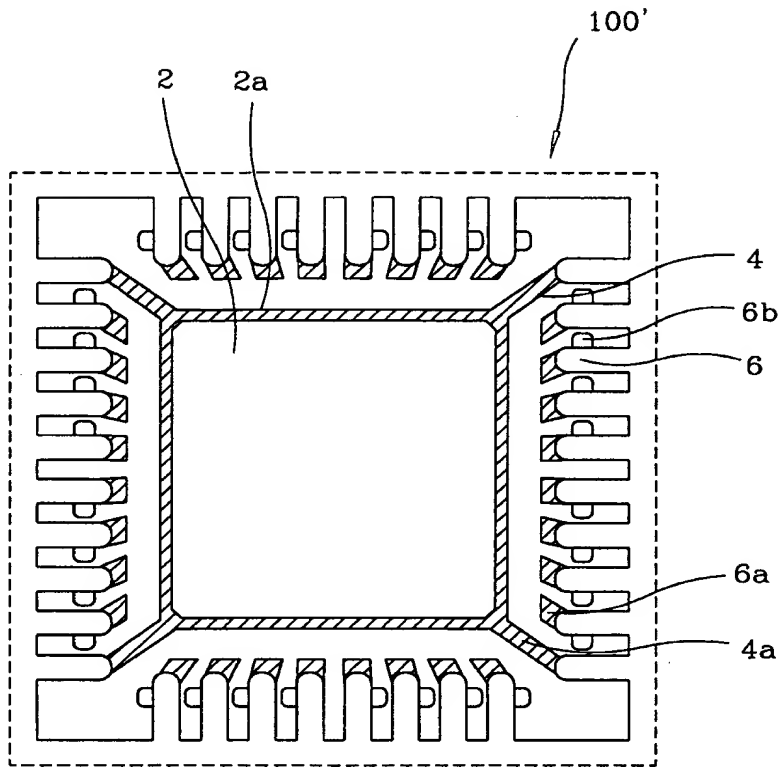
제2항에 있어서, 상기 반도체칩은 상기 칩탑재판에 형성된 요홈 라인의 바닥면과 도전성와이어로 접속된 것을 특징으로 하는 반도체패키지.

【청구항 4】

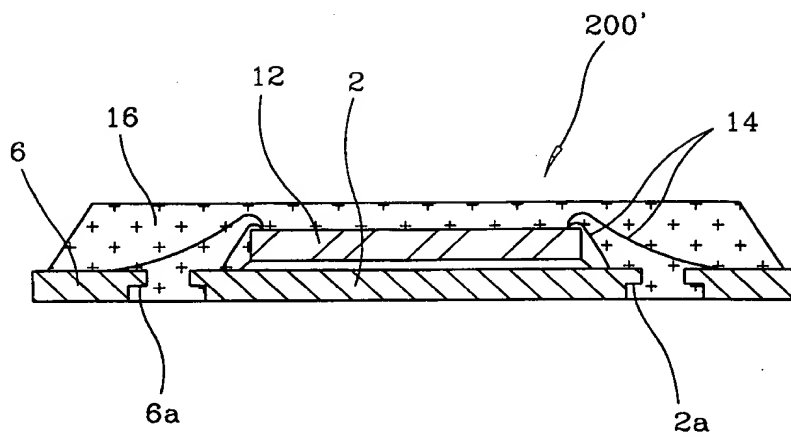
제2항에 있어서, 상기 칩탑재판 및 리드는 그 저면에 패키지 몸체 외측으로 노출된 것을 특징으로 하는 반도체패키지.

【도면】

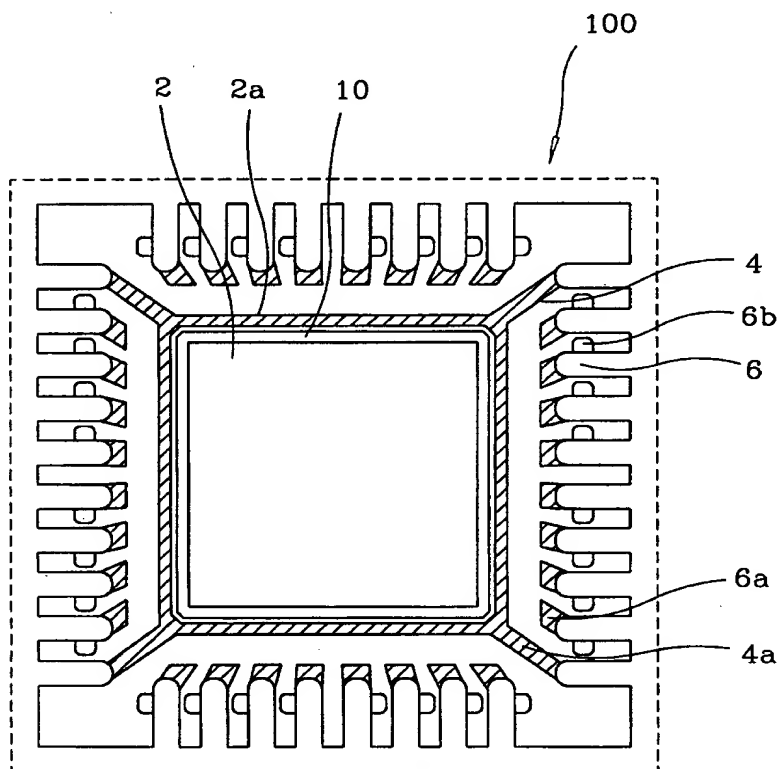
【도 1a】



【図 1b】



【図 2a】



【도 2b】

